PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-153606
(43)Date of publication of application : 11.06.1996

(51)Int.Cl. H01C 7/10
H01C 7/18

(21)Application number : 06-296740
(22)Date of filing : 30.11.1994

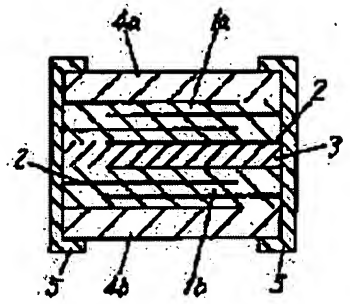
(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
(72)Inventor : ONOMI TADASHI

(54) LAMINATED VARISTOR

(57)Abstract:

PURPOSE: To obtain a laminated varistor having high surge current withstand by providing an invalid layer, which does not contribute to varistor function, inside the sintered body which is formed by alternately laminating a varistor layer and an internal electrode.

CONSTITUTION: A green sheet, on which an inner electrode 2 is printed, is laminated on varistor layers 1a and 1b, and a green sheet, on which the inner electrode is not printed, is laminated on an invalid layer 3. After the above- mentioned layers have been thermocompression-bonded, they are formed into green chips by cutting them into the prescribed shape, they are fired at 1100°C for two hours, silver/palladium paste is spread and baked at 600°C on both edge faces as outer electrode material, and an outer electrode 5 is formed. By providing the invalid layer 3 as above-mentioned, the breakdown by surge current in the center part can be prevented, and surge current withstand can also be increased.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁（ＪＰ）　(12) 公開特許公報（A）　(11)特許出願公開番号

特開平8－153606

(43)公開日　平成8年(1996)6月11日

(51)Int.Cl.⁶	識別記号	庁内整理番号	ＦＩ	技術表示箇所
Ｈ０１Ｃ　7/10				
7/18				

審査請求　未請求　請求項の数2　ＯＬ　（全 8 頁）

(21)出願番号　特願平6－296740

(22)出願日　平成6年(1994)11月30日

(71)出願人　000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地

(72)発明者　小野英　忠
大阪府門真市大字門真1006番地　松下電器産業株式会社内

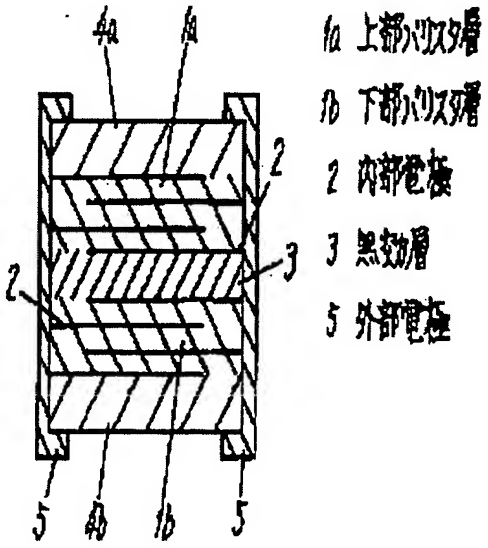
(74)代理人　弁理士　小鍜治　明　（外２名）

(54)【発明の名称】　積層バリスタ

(57)【要約】

【目的】　サージ電流耐量の大きな積層バリスタを提供することを目的とする。

【構成】　バリスタ層１ａ，１ｂと内部電極２を交互に積層された焼結体内部にバリスタ機能に寄与しない無効層３を設け、焼結体の内部電極２の露出した端面に外部電極５を設けたものである。



【特許請求の範囲】

【請求項１】　バリスタ層と内部電極とを交互に積層した焼結体と、この焼結体内部に設けたバリスタ機能に寄与しない無効層と、この焼結体の前記内部電極の露出した端面に設けた外部電極とを備えた積層バリスタ。

【請求項２】　無効層の厚みは、少なくともバリスタ層２層分以上の厚みを有する請求項１記載の積層バリスタ。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本発明は、各種電子機器のサージ、ノイズ及び静電気吸収に用いられる積層バリスタに関するものである。

【０００２】

【従来の技術】近年、電子機器分野においても小型化、集積化が進んでおり、これに伴いバリスタにおいても小型化、面実装化が要求されてきている。このような要求に対して積層バリスタが提案されている。

【０００３】図２は従来の積層バリスタの構造を示すものである。図２において、１はバリスタ層、２は内部電極である。４はこれを保護する保護層であり、５は電気性能を引き出す外部電極である。

【０００４】このような構造により電極面積を大きくし、サージ吸収能力を大きくしたものである。

【０００５】

【発明が解決しようとする課題】しかしながら上記従来の構成では、保護層４に近い部分に比べると、焼結体中央部分は放熱しにくいため、サージを吸収した際に発生する熱により破壊され易く、そのためサージ電流耐量が低くなるという課題を有していた。

【０００６】本発明は、上記従来の課題を解決するもので、サージ電流耐量の高い積層バリスタを提供することを目的とする。

【０００７】

【課題を解決するための手段】この目的を達成するために本発明の積層バリスタは、バリスタ層と内部電極を交互に積層された焼結体内部にバリスタ機能に寄与しない無効層を設けたものである。

【０００８】

【作用】上記構成により、焼結体中央部分はバリスタ機能に寄与しないために発熱せず、また周囲の熱を吸収することにより、積層バリスタのサージ電流耐量を大きくできるものである。

【０００９】

【実施例】以下、本発明の一実施例について詳細に説明する。

【００１０】図１は本実施例の積層バリスタの構造を示すものである。図１において１ａは上部バリスタ層、１ｂは下部バリスタ層、２は内部電極、３は無効層、４ａは上部保護層、４ｂは下部保護層、５は外部電極である。次に、本実施例の積層バリスタの一製造方法について説明する。主成分の酸化亜鉛（Ｚｎ０）９７．５モル％に対して、酸化ビスマス（Ｂｉ２０３）０．５モル％、酸化コバルト（Ｃｏ２０３）０．５モル％、酸化マンガン（ＭｎＯ２）０．５モル％、酸化アンチモン（Ｓｂ２０３）１．０モル％の割合になるように秤量を行った。この粉体に有機バインダ、有機溶剤、有機可塑剤を加え、ボールミルで２０時間混合粉砕を行いスラリを形成した。このスラリをドクターブレード法によりポリエステル製ベースフィルムの上に３０μｍの厚さのグリーンシートを形成した。次いでベースフィルムからグリーンシートを剥離して所定の形状に切断した。切断したグリーンシートに内部電極材料として白金ペーストをスクリーン印刷して内部電極２を形成した。

【００１１】このグリーンシートを用い、（表１）に示すような枚数で、図１のごとく、上部保護層４ａ、上部バリスタ層１ａ、無効層３、下部バリスタ層１ｂ、下部保護層４ｂの順に積層し、熱圧着した後所定の形状に切断してグリーンチップとした。

【００１２】

【表１】

	上部保護層	上部バリスタ層	無効層	下部バリスタ層	下部保護層	サージ電流耐量
実施例１	５層	９層	３層	９層	５層	２７５Ａ
実施例２	５層	８層	４層	８層	５層	２４０Ａ
実施例３	５層	６層	８層	６層	５層	１７５Ａ
実施例４＊	６層	１０層	１層	９層	６層	１６５Ａ
従来例　＊	６層	１０層	なし	１０層	５層	１８０Ａ

＊は本発明の請求範囲外

【００１３】このときバリスタ層１ａ，１ｂには内部電極２を印刷したグリーンシートを用い、保護層４ａ，４ｂ、無効層３には内部電極２を印刷しないグリーンシートを用いた。また、この時無効層を積層しない従来品のグリーンチップも合わせて作成した。このグリーンチップを１１００℃で２時間焼成して焼結体とした。この焼結体の両端面に外部電極材料として銀・パラジュウムペーストを塗布して６００℃で焼き付けて外部電極５を形

成した。

【００１４】以上の手順により作成された試料それぞれ各３０個に付いて、サージ電流耐量を測定した。サージ電流耐量は、８／２０μｓの波形で電流波高値をステップアップし、破壊した最大電流値を示し、それぞれ各３０個の平均値を（表１）に示した。

【００１５】（表１）から明らかなように本実施例の焼結体内部にバリスタ層１の２層分以上の厚みの無効層３を設けた試料（実施例１，２）は、従来例のものに比べサージ電流耐量が大きく向上していることがわかる。また、同じサージ電流耐量では、（実施例３と従来例）内部電極２を形成したグリーンシートを用いるバリスタ層１ａ，１ｂが少なく済み、すなわち内部電極２に用いる貴金属が少量で済むのでコストを低くすることができる。一方、無効層３の厚みがバリスタ層の１層の厚みと同じ場合（実施例４）は、サージ電流耐量の向上は認められない。また、サージ電流耐量で破壊した従来品の内部を観察したところ、焼結体内部のバリスタ層１のうち中央部の２層で９３％が破壊していた。このことから無効層３の厚みはバリスタ層１の２層分以上の厚みが有効であることがわかる。

【００１６】以上のように焼結体内部に、上、下面に接する内部電極を同じ外部電極５に接続させて、バリスタ機能の寄与しない無効層３を設けることによりサージ電流耐量を向上させることができる。

【００１７】なお、本発明に係る積層バリスタは本実施例に限定されるものではなく、ＳｒＴｉＯ３系などのバリスタにも適用できる。また、必ずしも無効層３はバリスタ組成に限るものではなく他の材料でもかまわない。

【００１８】

【発明の効果】以上のように本発明によれば、焼結体内部にバリスタ機能に寄与しない無効層を設けることにより中央部のサージによる破壊を防ぐことができ、サージ電流耐量の大きい積層バリスタを提供することができる。

【図面の簡単な説明】

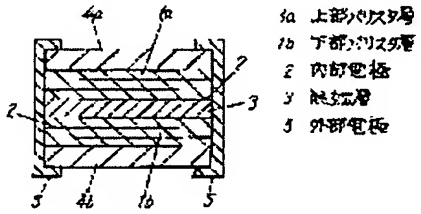
【図１】本発明の一実施例における積層バリスタの断面図

【図２】従来の積層バリスタの断面図

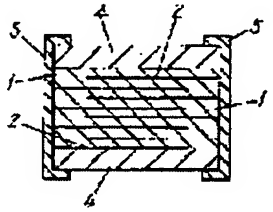
【符号の説明】

１ａ　上部バリスタ層
１ｂ　下部バリスタ層
２　内部電極
３　無効層
５　外部電極

【図１】



【図２】



CLAIMS

[Claim(s)]

[Claim 1] The laminating varistor equipped with the invalid layer which does not contribute a varistor layer and an internal electrode to the varistor ability prepared in the interior of the sintered compact which carried out the laminating by turns, and this sintered compact, and the external electrode prepared in the end face which said internal electrode of this sintered compact exposed.

[Claim 2] The thickness of an invalid layer is a laminating varistor according to claim 1 which has the thickness more than a varistor layer two-layer part at least.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the laminating varistor used for the surge of various electronic equipment, a noise, and the static electricity absorption.

[0002]

[Description of the Prior Art] In recent years, a miniaturization and integration are progressing also in the electronic equipment field, and a miniaturization and surface mounting-ization have been required also in a varistor in connection with this. The laminating varistor is proposed to such a demand.

[0003] Drawing 2 shows the structure of the conventional laminating varistor. In drawing 2 , 1 is a varistor layer and 2 is an internal electrode. 4 is a protective layer which protects this and 5 is an external electrode which pulls out the electric engine performance.

[0004] An electrode surface product is enlarged according to such structure, and surge absorptance is enlarged.

[0005]

[Problem(s) to be Solved by the Invention] However, with the above-mentioned conventional configuration, since the amount of sintered compact center section was not able to radiate heat easily compared with the part near a protective layer 4, it was easy to be destroyed by the heat generated when a surge is absorbed, therefore had the technical problem that a maximum peak current became low.

[0006] This invention solves the above-mentioned conventional technical problem, and aims at offering the high laminating varistor of a maximum peak current.

[0007]

[Means for Solving the Problem] In order to attain this object, the laminating

varistor of this invention prepares the invalid layer which does not contribute a varistor layer and an internal electrode to the interior of the sintered compact by which the laminating was carried out by turns at varistor ability.

[0008]

[Function] By the above-mentioned configuration, a part for a sintered compact center section can enlarge the maximum peak current of a laminating varistor by not generating heat in order not to contribute to varistor ability, and absorbing surrounding heat.

[0009]

[Example] Hereafter, one example of this invention is explained to a detail.

[0010] Drawing 1 shows the structure of the laminating varistor of this example. drawing 1 -- setting -- 1a -- for an internal electrode and 3, an invalid layer and 4a of an up protective layer and 4b are [an up varistor layer and 1b / a lower varistor layer and 2 / a lower protective layer and 5] external electrodes. Next, the 1 manufacture approach of the laminating varistor of this example is explained. To 97.5 mol (ZnO) % of zinc oxides of a principal component, weighing capacity was performed so that it might become 0.5 mol (Bi 2O3) % and 0.5 mol [of cobalt oxide] (Co 2O3) % and 0.5 mol [of manganese oxide] (MnO2) % and 1.0 mol [of antimony oxide] (Sb 2O3) % of the rate of bisumuth oxide. The organic binder, the organic solvent, and the organic plasticizer were added to these fine particles, the ball mill performed preferential grinding for 20 hours, and the slurry was formed. The green sheet with a thickness of 30 micrometers was formed for this slurry on the base film made from polyester with the doctor blade method. Subsequently, it exfoliated and a base film to the green sheet was cut in the predetermined configuration. The platinum paste was screen-stenciled as an internal electrode ingredient to the cut green sheet, and the internal electrode 2 was formed.

[0011] Using this green sheet, by number of sheets as shown in (a table 1), like drawing 1 , after carrying out the laminating to the order of up protective layer 4a, up varistor layer 1a, the invalid layer 3, lower varistor layer 1b, and lower

protective layer 4b and carrying out thermocompression bonding to it, it cut in the predetermined configuration and considered as the Green chip.

[0012]

[A table 1]

	上部保護層	上部バリスタ層	無効層	下部バリスタ層	下部保護層	サージ電流耐量
実施例1	5層	9層	2層	9層	5層	275A
実施例2	5層	8層	4層	8層	5層	240A
実施例3	5層	6層	8層	6層	5層	175A
実施例4＊	5層	10層	1層	9層	5層	165A
従来例 ＊	5層	10層	なし	10層	5層	160A

＊は本発明の請求範囲外

[0013] At this time, the green sheet which does not print an internal electrode 2 was used for protective layers 4a and 4b and the invalid layer 3 at the varistor layers 1a and 1b using the green sheet which printed the internal electrode 2. Moreover, the Green chip of elegance also doubled and created the invalid layer conventionally which does not carry out a laminating at this time. This Green chip was calcinated at 1100 degrees C for 2 hours, and it considered as the sintered compact. Silver and PARAJUUMUPESUTO were applied to the ends side of this sintered compact as an external electrode material, it could be burned on it at 600 degrees C, and the external electrode 5 was formed in it.

[0014] It attached each to each 30 samples created by the above procedure, and the maximum peak current was measured. The maximum peak current showed the maximum current value which stepped up and destroyed the current wave high price by the wave for 8/20 microsecond, and showed the average of 30 pieces each in (a table 1), respectively.

[0015] It turns out that the maximum peak current of the sample (examples 1 and 2) which formed the invalid layer 3 of the thickness more than the two-layer part of the varistor layer 1 in the interior of the sintered compact of this example so that clearly from (a table 1) is improving greatly compared with the thing of the conventional example. Moreover, since the noble metals which the varistor layers

1a and 1b using the green sheet in which the internal electrode (an example 3 and the conventional example) 2 was formed can be managed with the same maximum peak current few, namely, are used for an internal electrode 2 are little and end, cost can be made low. On the other hand, when the thickness of the invalid layer 3 is the same as the thickness which is an one-layer varistor layer (example 4), the improvement in a maximum peak current is not accepted. Moreover, when the interior of elegance was observed conventionally which was destroyed by the maximum peak current, 93% was destroyed by two-layer [of a center section] among the varistor layers 1 inside a sintered compact. The thickness of the invalid layer 3 is understood from this that the thickness more than the two-layer part of the varistor layer 1 is effective.

[0016] As mentioned above, inside a sintered compact, the internal electrode which touches an underside can be connected to the same external electrode 5 a top, and a maximum peak current can be raised by forming the invalid layer 3 which varistor ability does not contribute.

[0017] In addition, the laminating varistor concerning this invention is not limited to this example, and can be applied also to varistors, such as SrTiO3 system. Moreover, the invalid layer 3 may not be restricted to a varistor presentation, and other ingredients are not necessarily sufficient as it.

[0018]

[Effect of the Invention] As mentioned above, according to this invention, by preparing the invalid layer which does not contribute to varistor ability in the interior of a sintered compact, destruction by the surge of a center section can be prevented and the large laminating varistor of a maximum peak current can be offered.

[Translation done.]

* NOTICES *

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The sectional view of the laminating varistor in one example of this invention

[Drawing 2] The sectional view of the conventional laminating varistor

[Description of Notations]

1a Up varistor layer

1b Lower varistor layer

2 Internal Electrode

3 Invalid Layer

5 External Electrode

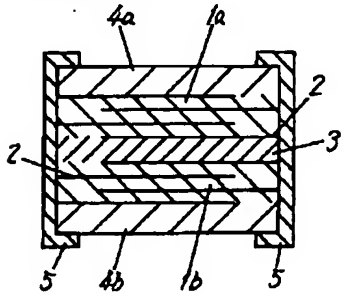
[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any
damages caused by the use of this translation.
1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

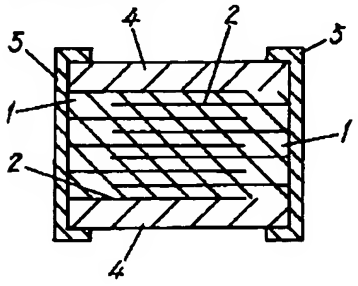
DRAWINGS

[Drawing 1]



1a 上部バリスタ層
1b 下部バリスタ層
2 内部電極
3 無効層
5 外部電極

[Drawing 2]



[Translation done.]